

窒化シリコン薄膜を用いた超微細デバイス用基板の作製 ～理科室で構築するナノテクプラットフォームの提案と教育への導入 の試み～

香川高等専門学校 電子システム工学科 長岡 史郎
 香川大学 ナノテクノロジー支援室 鈴木 勝順



(左から) 香川高等専門学校 長岡 史郎, 香川大学 鈴木 勝順

1. はじめに

トランジスタが発明されて約 60 年が経過した。トランジスタ開発初期における、限られた技術や材料を駆使し、目的を達成しようとする熱意から生まれた数々の独創的な発想は、これからデバイスを学習する学生にとって、発想の絶好の手本になると考えられる [1]。そこで、この先人たちの発想を追体験しながら、デバイスの設計製作評価を体験できるような簡素化半導体デバイスの設計製作評価プロセスの立案と教育への導入を検討している [2] [3][4][5][6]。作製プロセスの簡素化の鍵となるプロセスの 1 つがフォトリソグラフィを初めとする微細加工である。これまでこの微細加工工程の簡素化に、ナノテクノロジープラットフォーム事業 香川大学 微細加工プラットフォーム ナノテクノロジー支援室 (以下、香川大学ナノテク支援室) の協力を得て取り組んできた。これまでピンアライメントを応用しマスクアライメントなしでフォトマスクの位置合わせを行うことで露光方法を大幅に簡素化するアライメントレスリソグラフィを考案し、その繰り返し精度を香川大学ナノテク支援室のダイシング装置 (DISCO 社製 DAD3220) を用いて正確に切り出した自作のガラスマスクを用いることで検証、位置合わせのばらつきを 5 μm 程度に抑えられることを実証した。さらに

微細部分を電子線 (EB) 描画装置で、また配線等の部分はフォトリソグラフィで作製するハイブリッドフォトマスク作製方法など、簡素化プロセスで可能なデバイスの微細化にも取り組んでいる [7]。

一方、この微細化の検討で用いた電子線 (EB) 直接描画法は、数 nm の寸法のデバイス作製が可能な数少ない微細加工法の 1 つである。また周辺技術、すなわちレジスト剤やプロセス処理装置などリソグラフィに必要な種々の環境も従来のものを利用でき、新たに開発する必要性が少ないことも大きな利点である。これらのことから、次世代のリソグラフィ方法として期待されている。

しかし電子線照射時における基板からの電子線の後方散乱が、基板に近いレジスト部分を再描画してしまう結果、EB 描画の持つ本来の解像度の妨げになっていることを電子線描画装置を使ってパターンを描画している時に再確認した。一般には、後方散乱低減のためには、加速度電圧を高める手法がとられているが、感度の低下により描画時間が長くなるのが問題である。この後方散乱の影響を低減できれば、低加速度電圧でも高解像度を実現し、かつ感度の改善も期待できるため、感度と解像度の両立を実現 EB のもつ本来の特徴を充分に発揮できると思われる。基板を薄膜化すれば、この後方散乱を排除でき、EB 本来の解像度を発揮させられると思われる。そこで、この可能性を明らかにするため、後方散乱を排除する薄膜

基板を実現することを目的とした基礎的な検討を行った。

ここでは、窒化シリコン薄膜を用いた超微細デバイス用基板の作製を中心に、デバイスの設計製作評価を、通常の工学実験と同様に実現することを目的とした取り組みについて紹介する。



2. 電子線 (EB) 直接描画の解像度

図1に電子線 (EB) リソグラフィにおけるパタン形成の説明図である。図1 (a) に示すように、シリコン (Si) などの基板上に成膜したレジストに照射されたEBは、レジストにエネルギーを吸収されながら、また前方散乱しながら進む。EBが基板に衝突した時、後方散乱が発生するため、基板付近のレジストは後方散乱によるエネルギー照射が発生する。レジストは、前方散乱と後方散乱を含むEB照射領域で構造変化が発生し、それが原因で現像液に対する溶解速度が変化する。レジストパタンは、この溶解速度差を利用して実現される。これを微視的に見れば、深さ方向でまた横方向でエネルギー照射量、い

えればエネルギー吸収量に分布が生じ、さらには現像液に対する溶解速度にも分布が生じると考えられる。その結果、現像条件により解像度が大きく変化すると考えられる (図1 (b))。これが、ビーム径と同等の解像度が得られない主たる原因であると予想する。後方散乱の影響を低減するため、加速度電圧を高める方法が用いられている。もし、図1 (c) のように、EBの後方散乱を排除することができれば、加速度電圧にかかわらず大幅な解像度の改善が期待できる事に加え、感度の改善も期待できる。これを検証するため、薄膜基板の作製を検討した。



3. 超微細デバイス用窒化シリコン薄膜基板の作製

Si_3N_4 は、化学的に非常に安定であるため Si デバイスの絶縁層として利用されている。また機械的強度も高く、異方性エッチングのエッチング液である水酸化カリウム (KOH) 水溶液にほとんど溶解しない事が知られている [8]。これらの特徴に着目し、 Si_3N_4 薄膜を薄膜基板材料に選んだ。

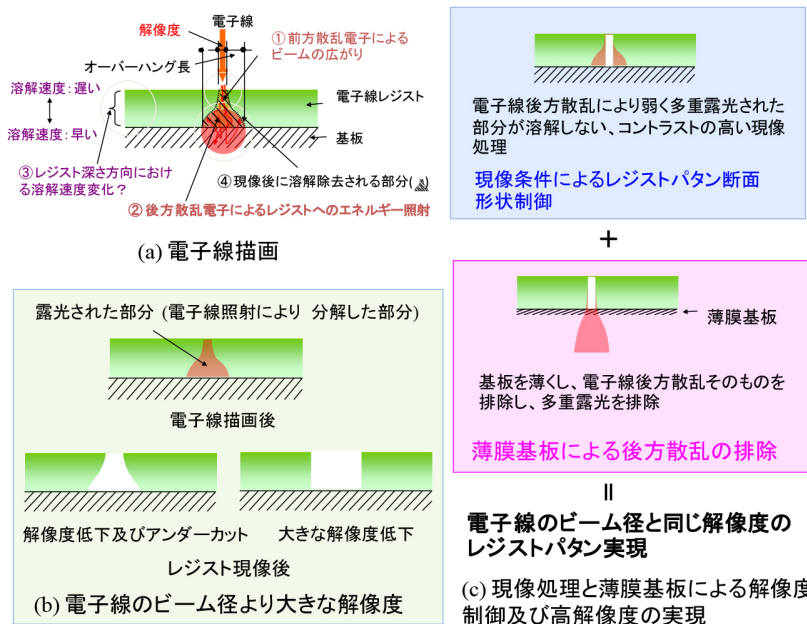


図1 電子線 (EB) リソグラフィにおけるパタン形成の説明図



(a) 低圧化学気相成長装置 (LP-CVD) (SAMCO社製 LPD-1200)

(b) 超高精度電子ビーム描画装置 (ELIONIX社製 ELS-7500EX)

図2 実験で使用した装置

Si₃N₄ 薄膜の作製とエッチングは、香川大学ナノテク支援室の協力を得て実現した。図 2 はその装置の写真である。図 2 (a) は、Si₃N₄ 薄膜を作製した LPCVD 装置、図 2 (b) はリソグラフィを行うためのエッチングマスクとなるレジストパターンを作製するために用いた電子ビーム描画装置である。

図 3 に、これらの支援装置を利用して作製した Si₃N₄ 薄膜基板の作製プロセスの概要を示す。

まず単結晶 Si(100) 基板の全面に約 100nm の膜厚の Si₃N₄ 薄膜を LP-CVD 法 (SAMCO 社製 LPD-1200) で作製した (図 3 (a) -1)。次に、基板両面にレジストを塗布し (図 3 (a) -2)、表面に Si₃N₄ 薄膜下部の Si を異方性エッチングするための窓開け用レジストパターンを作製した (図 3 (a) -3, 4)。その後、RIE 装置を用いて Si₃N₄ 薄膜をエッチングし (図 3 (a) -5)、Si 異方性エッチング用の窓を作製した。それをエッチングマスクとし、KOH33%、60℃ の水溶液で Si₃N₄ 薄膜下部の Si をエッチング除去した (図 3 (a) -6, 7)。その後、乾燥させれば、Si₃N₄ 薄膜基板が得られる。(図 3 (a) -8)

図 4 は、KOH 水溶液をエッチング液とし、液温を変化させた時の Si₃N₄ 薄膜および Si のエッチング量のエッチング時間依存性とエッチング速度の測定結果を示した図である。エッチング深さは、表面荒さ測定措置 (DekTak3ST) を用いて測定した。図 4 (a) からエッチング量はエッチング液の温度に比例しており、エッチング条件でエッチング量を制御する事が可能なことがわかる。また、Si₃N₄ 薄膜は、KOH 水溶液に対してほとんど溶解しないことを確認した。この結果から基板作製時に Si₃N₄ 薄膜膜厚の膜厚変化を考慮する必要のないことがわかった。

図 5 に Si₃N₄ 薄膜をエッチングマスクとした Si の異方性エッチング結果を示す。図 5(a), (b) に示すように [100] におのみエッチングが進む良好な異方性エッチングが実現できていることがわかる。図 5 (c) は、Si₃N₄ 薄膜のエッチング窓を (a), (b) の状態から 45° 傾けてエッチング窓を設けてエッチングした結果である。[111] と [100] のエッチング速度の違いにより、方形のエッチング窓から侵入したエッチング液により Si が良好に異方性エッチング除去され Si₃N₄ 薄膜を空中に保持する構造を実現できた

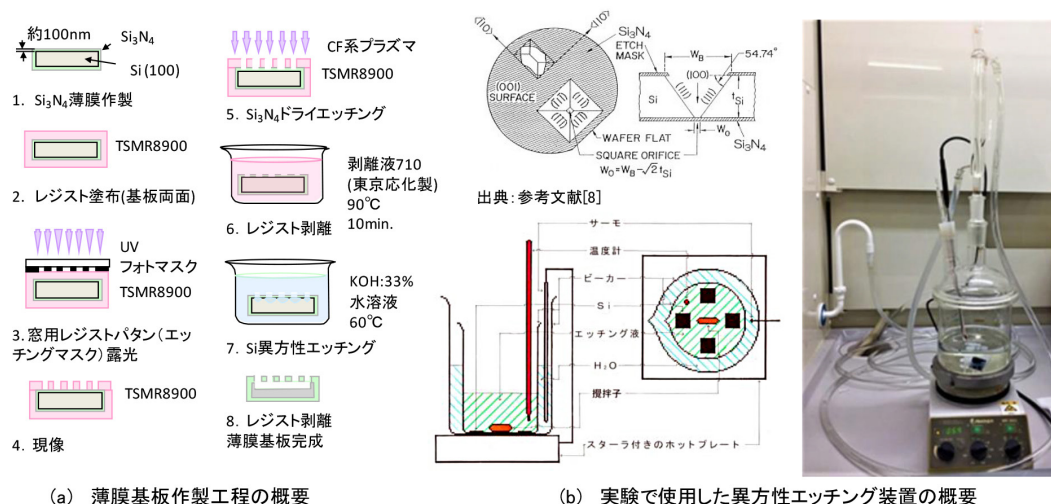


図 3 Si₃N₄ 薄膜基板の作製プロセスの概略図

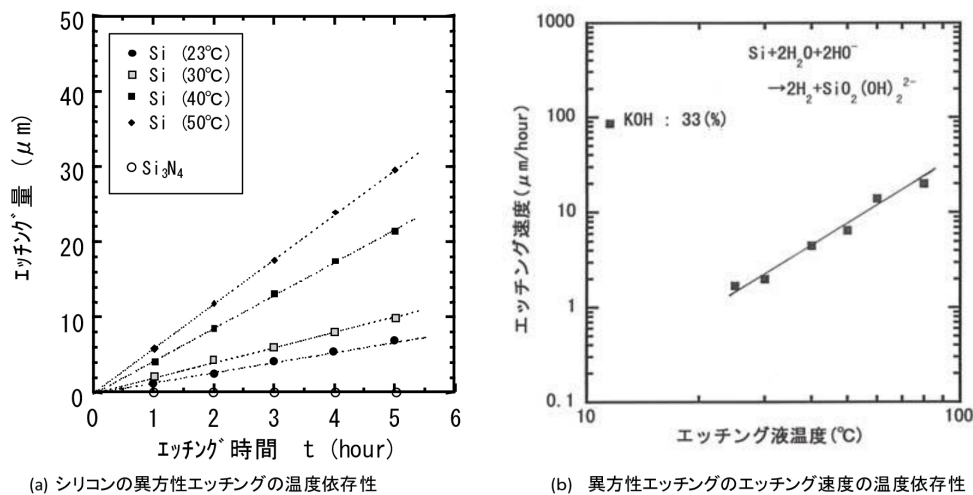


図 4 Si₃N₄ 薄膜および Si のエッチング量のエッチング時間依存性

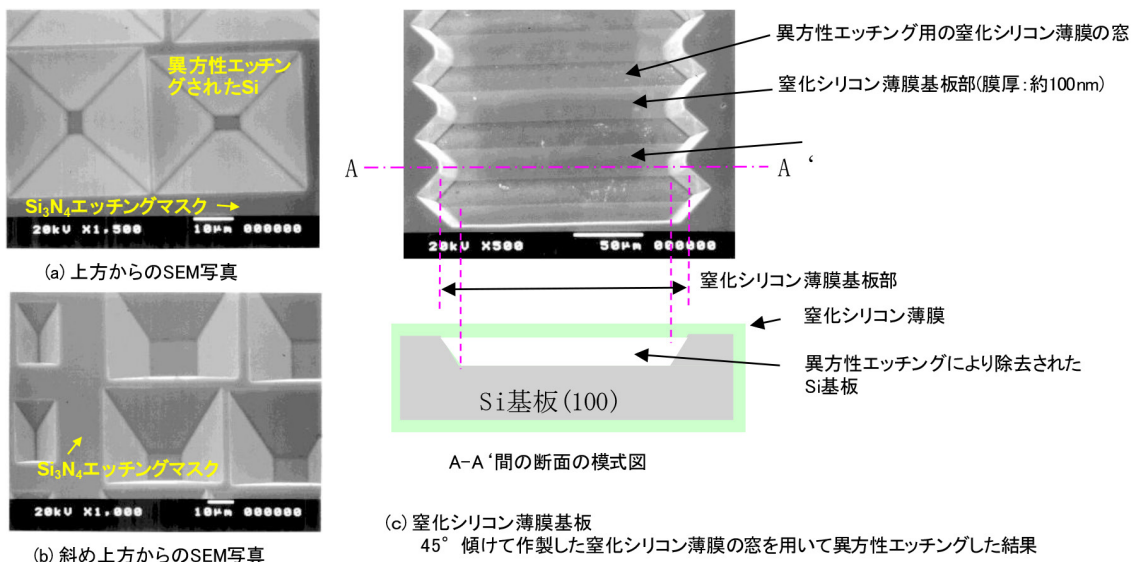


図5 Si₃N₄ 薄膜をエッチングマスクとした Si の異方性エッチング結果の SEM 写真

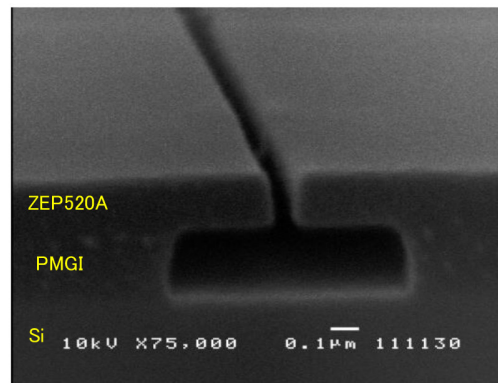
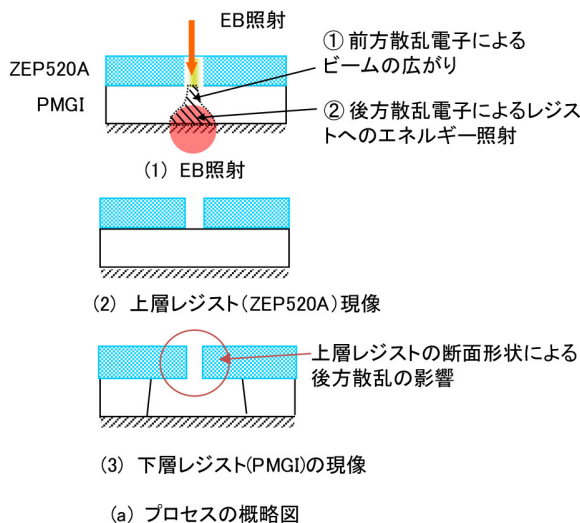


図6 後方散乱の影響予測の実験結果

(図5(c)). この部分を Si₃N₄ 薄膜基板として利用することができる。得られた薄膜基板の幅は約 20 μ m、長さは約 200 μ m と狭いものの、この薄膜は凹凸も無くかつ湾曲等もない平坦な薄膜であることから、EB 描画における低加速電圧時に顕著となる後方散乱の低減効果と解像度への貢献の定量評価を行うための基板として利用できる。さらに、この上に Si 等のデバイスの母材となる薄膜を製作し、電子線直接描画により加工すれば、極微細な構造のデバイスを実現できる。さらにそれらを積層することで 3次元構造のデバイスへの応用も期待できることから、デバイス作製用基板として十分に機能すると思われる。

図6は後方散乱の影響を予測するための実験結果である。後方散乱の影響を排除するため、薄膜基板のかわりに散乱を少なくするため2層レジスト構成とした。上層レジストには ZEP520A を、また下層レジストには PMGI (Polymethylglutarimide) を用いた。図6(a)にその原

理を示す。また (b) に描画現像後のレジスト断面形状観察した SEM 写真を示す。加速電圧は 30kV とした。現像後の上層レジストの断面形状は下部が細くなっていることから後方散乱の影響を低減できていることがわかる。この結果から、薄膜基板を用いれば、同様に後方散乱を低減できると思われる。

4. 理科室で構築する教育用簡素化リソグラフィ方法

半導体デバイスを実際に設計製作するためには、高度な設備や装置が必要とされているため簡単ではない。しかし、もし一般的な理科室で実現できれば、電子回路、ロボットやプログラミングなどで実施されているような、実験により理解を深め実践力を身につけるための手法を

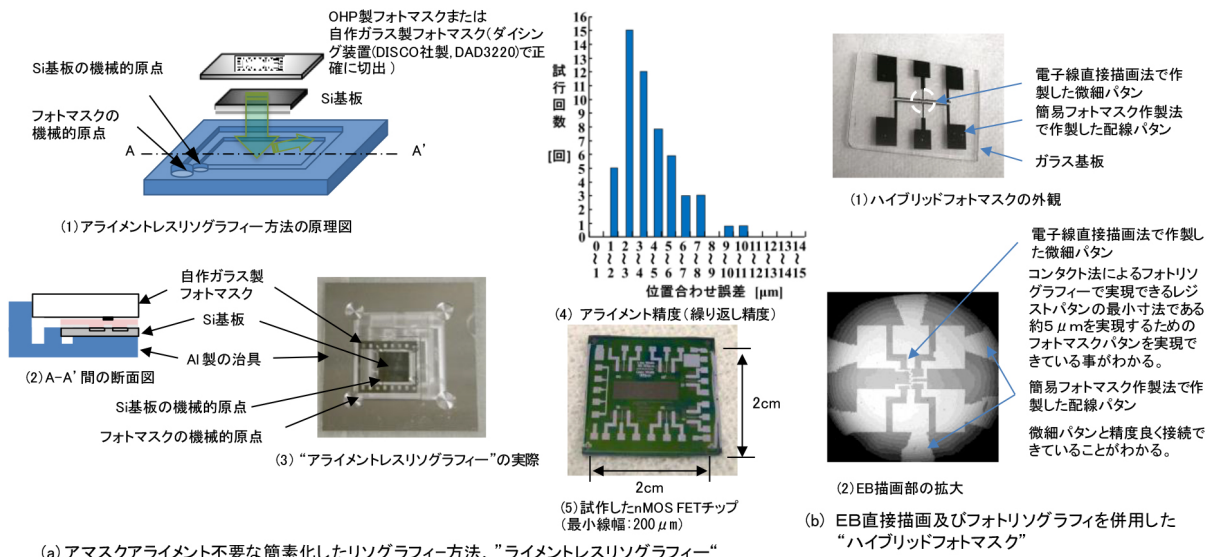


図7 香川大学ナノテク支援室の支援を受けて実施した教育用簡素化リソグラフィ方法

デバイスの設計製作の分野で、ひいてはナノテク分野でも実現できる。これにより、理科への興味を喚起し、科学的な発想を養うことができるので、その意義は大きい。これを実現するため、大気環境下で処理により作製したp-n接合を応用して太陽電池を実際に設計製作評価するプロセス及びプログラムを構築し、教育に生かせるよう準備した [3][5]。この知見を生かし、集積回路の基本であるMOSFETの設計製作評価を可能にするプロセスの実現にも取り組んでいる。

実験室等にあるPCなどの汎用品を駆使し、これを実現するためには、回路パターンを作製するための微細加工方法であるリソグラフィ、不純物拡散、そして金属半導体及び誘電体薄膜作製の簡素化が鍵となる。そこで、リソグラフィでは、OHPフィルムをフォトマスクとし、プレゼンテーションソフトの作図機能を用いて回路パタンの設計製作改訂が容易に行えるフォトマスク作製方法として、ピンアライメントを応用し、フォトマスクの位置合わせが不要なリソグラフィ方法である"アライメントレスリソグラフィ"を考案、解像度が約200μm、約20μm程度の位置合わせ精度を実現した。その概要を図7に示す。

さらに、マスクの位置合わせ精度を改善するため、繰り返し精度を香川大学ナノテク支援室のダイシング装置(DISCO社製 DAD3220)を用いて正確に切り出した自作のガラスマスクを用いることで検証、位置合わせのばらつきを5μm程度に抑えられることを実証し、大幅なプロセスの簡素化が可能であることを示せた [4]。この方法は初めて体験する学生にとっても無理なく取り組めることを確認した [6]。現在、大気中における熱酸化や、これまで検討してきた不純物拡散と組み合わせることで、従来困難であった理科室のような設備の限られた環境で、MOSFETを設計製作評価できるプロセスを検討している [4]。

これらの結果を基に、今回検討したEB直接描画と組み合わせることができれば、より高度なデバイスの作製に取り組めるようにできる。これらが実現できれば、問題発見と解決手法の探索を経験することにより、理科への興味喚起から科学的な思考を鍛える教育へ、実験から研究へと段階をおって無理なく導くことができる教育プログラムの実現が可能と考えられる。

5. おわりに

EB描画時の後方散乱の影響を排除し、低加速度電圧でも高解像度と感度改善の両立することを目的として、薄膜基板実現のための検討を行った。その結果、Siの異方性エッチングとSi₃N₄薄膜を用いて薄膜基板を作製することができた。さらに、薄膜化の効果を予想するため、2層レジストを用いた簡単な予備実験を行い、その結果から薄膜基板が後方散乱の低減に有効であることを示せた。今後、今回の成果を基に提案手法の検証、更なるその応用デバイス等の作製に向けて、検討を継続する。これは、解像度決定要因についての基礎的な研究以外にも、教育用としてEBリソグラフィ法と通常のフォトリソグラフィ法を用いたハイブリッドフォトマスク作製プロセスの構築、アライメントレスリソグラフィ用フォトマスクの作製、両者を取り入れたデバイス作製工程などにつなげられるよう検討を継続する。これにより、デバイス作製の最重要工程のリソグラフィ(極微再加工)の理解を深め、最先端技術に誘うとともに、簡素化したプロセスによるデバイスの設計製作評価から簡単な集積回路やMEMSへと、段階的に無理なくつなげられるような、高専のくさび型教育と同様の教育環境を構築し、研究と教育への波及効果を創出したいと考えている。



6. 謝辞

窒化シリコン薄膜の作製及び電子ビーム描画装置での実験において、香川大学ナノテク支援室の鈴木 勝順氏には大変丁寧なご支援を頂いた。記して深く謝意を表す。



参考文献

- [1] 例えば, A. D.Rittmann, et al., "Microalloy Transistor" IRE Transaction on Electron Device, Vol.5, No.2, pp49-54 (1958)
- [2] 長岡史郎, "クロム薄膜抵抗を用いたハイブリッド薄膜回路の設計製作評価実験", 高専教育, 第 33 号, pp.523-528 (2009)
- [3] S. Nagaoka, et al., "A Study for PBL Type Semiconductor Device Education Using p-n Junction Prepared by the Simplified Simultaneous Phosphorus and Boron Diffusion", The Transactions of the 7th International Symposium on Advances in Technology Education, ISATE2013, pp.209 ~ 214 (2013)
- [4] K. Kai, et al., "A Study of an Alignment-less Lithography Method as Educational Resource", American Institute of Physics, Vol.1733, pp020094-1 - 020094-4 (2016)
- [5] K. Shiota, et al., "A Simplified Boron Diffusion for Preparing the Silicon single Crystal p-n Junction as an Educational Device", American Institute of Physics, Vol.1733, pp020095-1- 020095-4 (2016)
- [6] 独立行政法人日本学生支援機構 平成 28 年度海外留学支援制度 (協定受入) プログラム実施報告書 (短期研修・研究型)," 香川高専グローバル・エンジニア受入研修プログラム "
- [7] 長岡史郎, 平成 25 年度 微細加工プラットフォーム利用報告書 F-13-GA-0001 " 電子線直接描画法を用いたハイブリッドフォトマスク作製プロセス "
- [8] Kurt E. Petersen, "Silicon as a Mechanical Material", Proceedings of the IEEE, Vol.70, No.5, pp420-457 (1982)

(香川高等専門学校 長岡 史郎)



【お問い合わせ】

微細加工プラットフォーム

香川大学

☎ 087-887-1873

E-mail nanoplatform@ao.kagawa-u.ac.jp

ホームページ

<http://www.kagawa-u.ac.jp/nanoplatform/>