

# CMOS 集積回路 -MEMS 試作支援

## CMOS Integrated Circuit and MEMS fabrication

**KEY WORDS** CMOS, Integrated Circuit, MEMS, Si process

受賞者：安藤 秀幸, 竹内 修三  
(公益財団法人 北九州産業学術推進機構)

Awardee : Hideyuki ANDO, Shuzo TAKEUCHI (FAIS)



安藤 秀幸



竹内 修三

### 概要【Overview】

北九州学術研究都市内の共同研究開発センターは、エレクトロニクス産業、特に半導体プロセス及び微細加工に関する基盤的技術を持つ大学や企業などが連携して共同研究開発などを行う施設である。CMOS ICやMEMSの試作を行う製造装置の開放や、微細加工技術を応用した新しいアプリケーション創造を目指す大学や企業などに対して技術支援を行っている。

The Semiconductor Center has facilities in which joint researches and developments are conducted through collaborations between universities and the electronics industry, particularly those possessing fundamental technology related to the semiconductor manufacturing process and high-precision processing. It opens up the use of high-precision machinery for the trial fabrication of CMOS ICs and MEMS and provides facilities for research and development for companies aiming at a new field of applications.

### 1 チップ血管動態測定センサの開発

Development of one chip vasomotor measurement sensor

利用者：九州大学 大学院工学研究院 機械工学部門 ナノマイクロ医学工学研究室

▶ 表皮厚さ、脈波、血流を同時に測定可能な超小型血管動態測定センサチップの作製を目的とする。これまで光学素子（面発光レーザーやLED）とPD（フォトダイオード）を用いて血流センサや脈波センサの研究・開発を行ってきた。加えて、モノリシックに配置したフォトダイオードによる超小型変位センサの研究・開発を行っている。このノウハウを生かすことで、一つの光源から吸光度測定およびレーザドップラ測定を同時に行い、より詳細に血管動態の変化を測定できる小型センサの開発を目指す。

図1にセンサチップのマスキング設計図を、図2に作製したセンサチップの写真を示す。センサチップの中心に面発光レーザー（VCSEL）を実装する。脈波センサ用PDと血流量測定用PDのサイズは300×300μmである。表皮測定用PDは40μmのPDがVCSELから順に速くなるように20×20μmのPDが3つ並べられている。図2の写真で見られるように微小サイズのPDが作製されていることが確認できている。オペアンプ増幅回路は、脈波センサ測定用PDおよび表皮測定用PD×3個に対して信号増幅用のオペアンプを10倍に設計した。血流量センサ用の高倍率オペアンプ増幅回路は60倍に設計している。

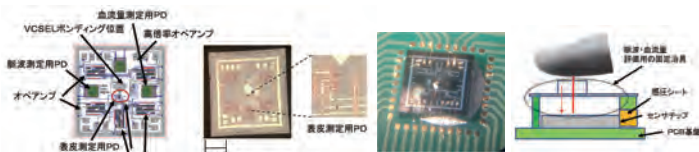


図1 マスキング設計図 図2 センサチップ写真・VCSEL・ワイヤボンディング後 図3 生体信号の測定方法

図3に脈波・血流量の生体信号を測定する実験モデルを示す。センサチップ上に突起のついた固定具を配置することで精度の高い生体信号を取得することが可能である。また、固定具の片側に感圧シートを組み込むことで指先にかかる荷重を測定することが可能である。生体信号はセンサとの接触荷重により容易に値が変動してしまうため、精度のよい測定には荷重を測定する機構が必要である。

図4に試作デバイスのアンプ特性、図5に脈波測定用PDで測定した信号を示す。信号処理を行うことにより、およそ1秒ごとに発生している心拍と同期した脈波を確認することができる。また、呼吸に由来する10秒程度の遅い波も確認できる。

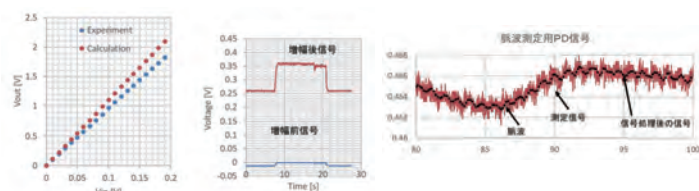


図4 試作デバイスのアンプ特性 (脈波センサ：設計10倍) 図5 脈波信号測定結果

### 抵抗変化型メモリを用いたニューラル学習回路の開発

Development of neural network circuit using resistance change memory

利用者：九州工業大学 大学院生命体工学研究科 脳型集積システム研究室

▶ 脳の情報処理機能を模倣した脳型LSIの開発が期待されており、既存CMOS回路技術によってデジタル方式でのニューラルネットワークLSIの開発が行われている。一方、従来のデジタル方式に比べニューロン機能を物理的に実現するアナログ方式のニューラルネットワークLSIでは、ネットワークの高性能化、低消費電力化が期待できる。

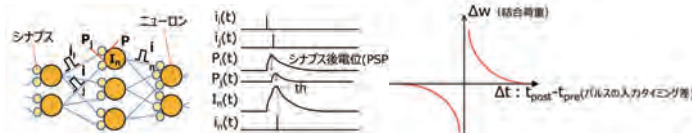


図1 積分発火型スパイクニューラルネットワークモデル 図2 非対称型STDP時間窓特性

積分発火型スパイクニューラルネットワークモデルとは、前段のニューロンからシナプスを介してパルス信号を受けたニューロンが内部電位を蓄積させ、ある閾値を超えた段階で後段のニューロンへパルス信号を出力するというモデルである（図1）。ニューラルネットワークの代表的な機能として、学習機能が挙げられるが、その中でもスパイクタイミング依存シナプス可塑性（STDP特性）が広く知られている。図2は非対称型のSTDP時間窓特性である。横軸にパルスの入カタイミング差を取り、この時間差が正で小さいほど結合荷重を大きくし、負で小さいほど結合荷重を小さくするというモデルである。この特性をハードウェアで実現するために、今回FETと抵抗変化型メモリ（ReRAM）を使用して設計・試作・評価を実施した。



図3 試作デバイス構造図（断面）及び写真 (ReRAM付トランジスタ) 図4 試作デバイスの基本特性測定結果

ブレッドボード上に制御回路を製作し非対称型STDP特性評価を実施した。結合荷重増減の傾向から、非対称型STDPの時間窓特性が得られたことが確認できた（図5）。

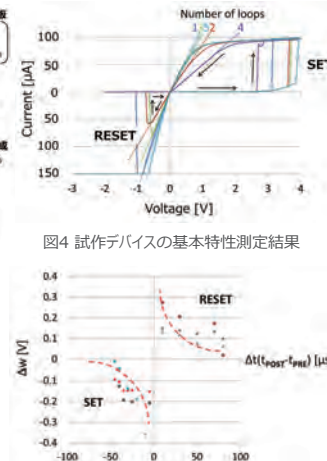


図5 非対称型STDP測定結果