

極微細加工領域における支援成果

サブミクロン強誘電体ゲート薄膜トランジスタ

^a JST-ERATO 下田ナノ液体プロセスプロジェクト, ^b北陸先端大

宮迫毅明^a、ヴィグウエンクオツチン^a、徳光永輔^{a,b}、下田達也^{a,b}

【研究目的】

溶液法で電子デバイスのチャンネルを直接形成するとエネルギー効率、資源利用効率を抜本的に改善できる可能性を持つ。なかでも溶液法で作成した薄膜化した酸化半導体をチャンネルと強誘電体ゲートを持つ薄膜トランジスタは、高速動作と低消費電力の両方を持つ新しい不揮発性記憶素子として大いに期待できる。しかしながら、従来報告されてきた強誘電体ゲート薄膜トランジスタのゲート長は $1\mu\text{m}$ 以上と大きく、集積回路における高密度記憶回路への応用の為にはゲート長を縮小する必要がある。そこで、本研究では $1\mu\text{m}$ 以下のゲート長において、強誘電体ゲート薄膜トランジスタの作製を目標とした。

【成 果】

作製された素子の概略を図1(a)にしめす。基板上にゲート金属として 100nm 厚の白金を堆積し、続いてゲート絶縁膜として 160nm 厚PZT薄膜と 20nm 厚BLT薄膜をゾル-ゲル法で堆積し、アニールで結晶化した。続いて 50nm 厚の白金を堆積したあと電子ビーム露光とドライエッチングによりソース/ドレイン電極とした。最後に 20nm 厚のITO薄膜チャンネルをゾル-ゲル法で形成した。図1(b)に作製された素子の上面からの光学顕微鏡像を、また図1(c)に 200nm の設計ゲート幅を持つ素子の3次元AFM像を示す。 200nm 幅が明瞭に観察できる。図2(a)には、ゲート長 1000nm 、 300nm 、 200nm の素子の I_D-V_G 特性を示す。記憶機能を持つ広いヒステリシスループが観察でき、そのメモリーウィンドウは約 4V 、オンオフ比は4桁以上であった。図2(b)(c)にゲート長 1000nm と 200nm の素子の I_D-V_D 特性を示す。明瞭な飽和特性が観測された。これらの結果から、素子のゲート長を 200nm まで縮小しても、記憶機能が変わらないことが示された。

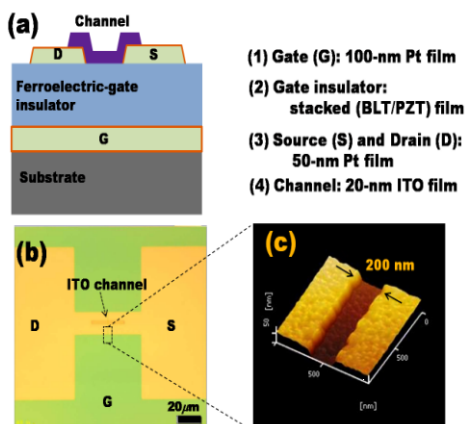


図1(a) 作成した素子の断面概略図とプロセス (b)上面からの光学顕微鏡像 (c)ゲート長 200nm の素子の三次元AFM像

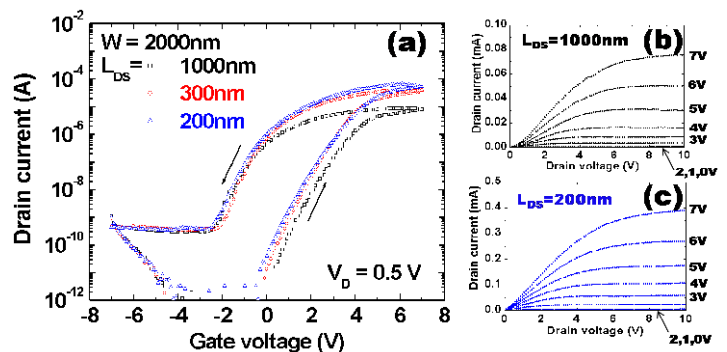


図2(a) 作成した素子の I_D-V_G 特性 (b)ゲート長 1000nm の素子の I_D-V_D 特性 (c)ゲート長 200nm の素子の I_D-V_D 特性