

平成23年度 トピックス

超微細加工領域における支援成果

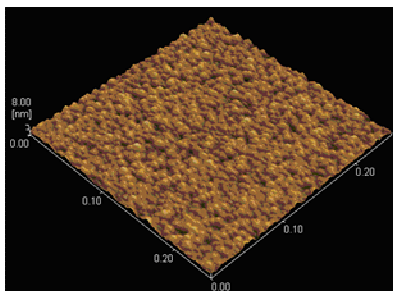
DRAMキャパシタ向け電極ラフネスとリーク電流評価

株式会社 日立国際電気  
小川 有人, 板谷 秀治, 菊池 俊之

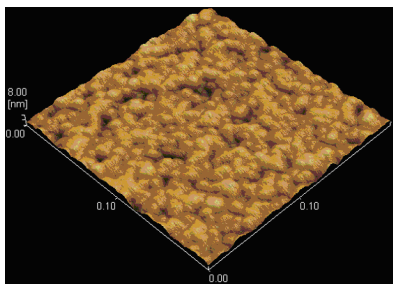
【研究目的】

現在(3Xnm世代)のDRAMキャパシタでは、絶縁膜としてZrO<sub>2</sub>膜が主に用いられており、また、電極としてはTiN膜が使われているが、更なるリーク電流の低減による延命化が検討されている。リーク電流は電極の仕事関数の他、絶縁膜中のトラップや電極表面のラフネスが重要な要因の一つとなり、これらを改善することが上述の要求項目を達成するキーになると考えられるが、それぞれの目標値など指標になるデータは殆どない。本研究では、電極表面のラフネスに注目し、リーク電流に与える影響を評価し、ラフネスに対する指標を検討した。

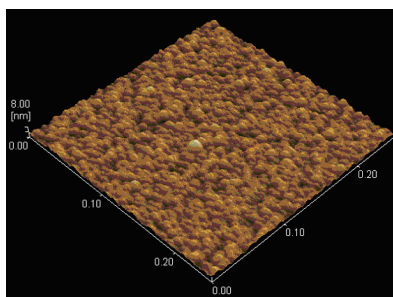
【成 果】



(a) Sample A



(b) Sample B



(c) Sample C

Fig. 1. Surface morphology measured by AFM analysis for each samples.

Fig. 1に下部電極の各形成条件におけるAFMでの観察結果を、Fig. 2にMIMキャパシタから得られたEOTとリーク電流の関係を、Fig. 3にリーク電流とAFM観察から得られたRmsの関係を示す。Fig. 1より各条件にて形成したTiN膜表面のラフネスが変化している事がわかり、特に表面を削ったサンプルにてラフネスが増加していることが確認できる。Fig. 2およびFig. 3から各サンプルでリーク電流が異なる事が確認でき、Rmsの値が大きい程、リーク電流が増加していることがわかる。また、Fig. 3から、目標となる $1 \times 10^{-7} \text{A/cm}^2$ を得るためには、おおよそ0.74nmのRmsが必要であることがわかった。

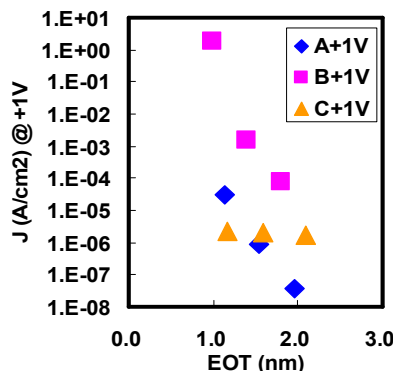


Fig. 2. EOT - J plot of MIM capacitors.

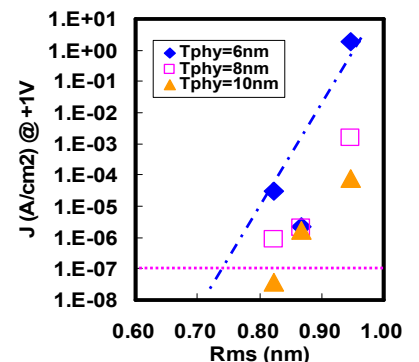


Fig. 3. The relationship between J and Rms of all samples.