

プレーナー型トンネルトランジスタの電気特性とそれを実現するデバイス構造最適化のシミュレーションによる検証実験

東京工業大学大学院総合理工学研究科

角嶋邦之, 呉研, Dou Chunmeng

【目的】

次世代の電子デバイスとしてトンネルトランジスタが注目されている。本利用では、プレーナー構造によるショットキー障壁型デバイスの試作のために、その電気的特性を事前検討する。特に、ショットキー障壁高さの特性への影響をシミュレートする。

【成果】

ショットキー障壁高さ (ϕ_{Bn}) が、オン電流と電流立ち上がり速さ (sub-threshold slope: SS) に与える影響について検討を行った。ゲート長は50 nmとし、検討した障壁高さの値は、0.41、0.81 eVである。チャンネル濃度は、 $2 \times 10^{19} \text{ cm}^{-3}$ とした。

図1にドレイン電流とSS値の障壁高さ依存性の結果を示す。図1に示すように障壁高さが大きい場合、ゲート電圧依存性が少なく、障壁高さが、電流の制御性に重要であること確認できた。また、ソース領域での電子濃度を解析した結果、フェルミレベル近傍での電子濃度増加が、トンネル電流の増加に直接寄与していることがわかった (図2)。

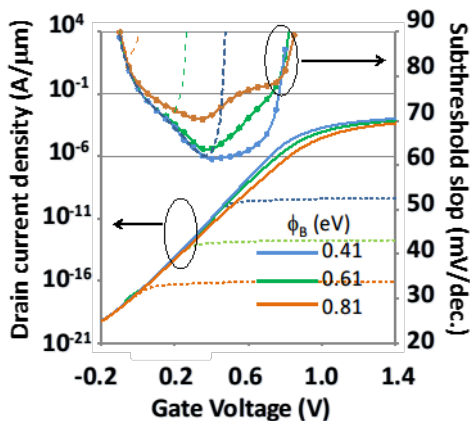


図1：ドレイン電流とSS値の障壁高さ依存性

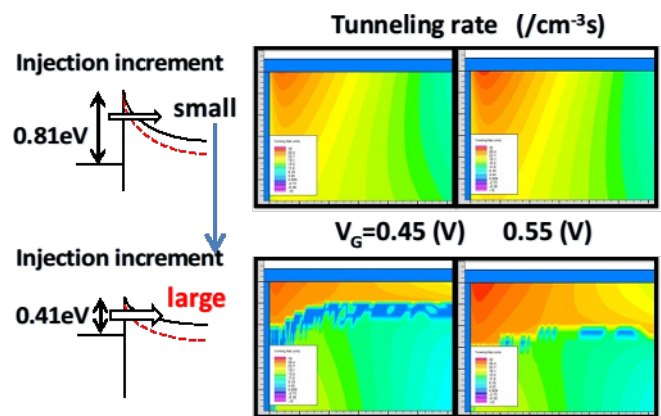


図2：障壁高さ0.81および0.41 eVにおけるトンネル電流マップ